

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

2265  
JCS31 U.S. PTO  
09/754171  
01/03/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
th this Office.

出 願 年 月 日  
Date of Application:

2000年 1月 7日

願 番 号  
Application Number:

特願2000-001270

願 人  
Applicant(s):

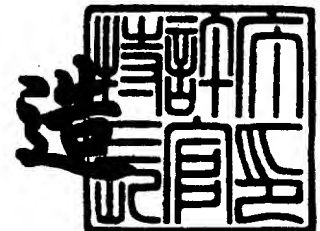
株式会社アドバンテスト

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 ADV99N7402

【提出日】 平成12年 1月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G01R

【発明者】

【住所又は居所】 東京都練馬区旭町1丁目32番1号 株式会社アドバン  
テスト内

【氏名】 荒木 洋

【発明者】

【住所又は居所】 東京都練馬区旭町1丁目32番1号 株式会社アドバン  
テスト内

【氏名】 岡本 泰典

【特許出願人】

【識別番号】 390005175

【氏名又は名称】 株式会社アドバンテスト

【代理人】

【識別番号】 100066153

【弁理士】

【氏名又は名称】 草野 卓

【選任した代理人】

【識別番号】 100100642

【弁理士】

【氏名又は名称】 稲垣 稔

【手数料の表示】

【予納台帳番号】 002897

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9718552

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 テストパターン妥当性検証方法・高速テストパターン妥当性検証装置

【特許請求の範囲】

【請求項 1】 テスタシミュレータで生成したテストパターンと、C A D データから生成したデバイス出力データとを照合し、上記テストパターンで規定するタイミング条件に合致した被試験デバイスの応答出力を抽出し、この応答出力を上記テスタシミュレータにデバイス出力データとして入力し、テスタシミュレータで上記デバイス出力データと期待値とを比較し、その比較の結果に不一致が発生する毎に、その応答出力に対応するテストパターンが不良であると判定するテストパターン妥当性検証方法において、

上記デバイス出力データの論理状態が全て上記期待値と比較動作したか否かを判定し、比較タイミングの欠落を検出してテストパターンの妥当性を検証するテストパターン妥当性検証方法。

【請求項 2】 A、被試験デバイスを試験するために被試験デバイスに印加するテストパターン及び、被試験デバイスの応答出力が正常か否かを判定するための期待値パターンをサイクルベース形式で生成する L S I テスタシミュレータと、

B、この L S I テスタシミュレータから出力されるテストパターンをイベントベース形式のデータに変換するフォーマット変換部と、

C、このフォーマット変換部から出力されるイベントベース形式のテストパターンを記憶する第 1 メモリと、

D、論理シミュレータの実行結果として得られたデバイス出力データをイベントベース形式で格納したダンプファイル格納部と、

E、このダンプファイル格納部から読み出したデバイス出力データを記憶する第 2 メモリと、

F、上記第 1 メモリと第 2 メモリに記憶したデータを比較照合し、上記第 1 メモリに記憶したパターンデータのタイミング条件に同期したデバイス出力データを上記第 2 メモリに記憶したデータから抽出し、この抽出したデータをデバイス

出力データとして上記 L S I テスタシミュレータに出力する比較同期部と、

G、この比較同期部から出力されるデバイス出力データの状態を上記 L S I テスタシミュレータにおける期待値パターンとの判定タイミングで読み取り、上記デバイス出力データの状態が変化する毎に判定タイミングが存在したか否かを検出するタイミング欠落検出手段と、

によって構成したことを特徴とする高速テストパターン妥当性検証装置。

【請求項 3】 請求項 2 記載の、高速テストパターン妥当性検証装置において、上記判定タイミング欠落検出手段は期待値との判定タイミングにおいて自己が記憶している論理の状態を一方の論理状態にリセットし、このリセット状態でデバイス出力データの状態が変化した時点で、他方の論理状態に反転させる論理記憶手段と、上記デバイス出力データが変化し、上記論理記憶手段の記憶を他方の論理に反転させる状態で上記論理記憶手段の記憶が既に他方の論理値であることを検出してエラーと判定するエラー検出手段とによって構成したことを特徴とする高速テストパターン妥当性検証装置。

【請求項 4】 請求項 2 又は 3 記載の高速テストパターン妥当性検証装置の何れかにおいて、上記判定タイミング欠落検出手段が判定タイミングの欠落を検出する毎に、この判定タイミングが欠落したテストサイクルを記憶するレポート作成部を付加した構成としたことを特徴とする高速テストパターン妥当性検証装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は超 L S I 等の半導体集積回路（以下単にデバイスと称す）を試験するためのテストパターンの検証装置に関し、特に、デバイスの C A D による設計段階において作成された論理シミュレーションデータを基にして半導体試験装置用に変換されたテストパターンの良否やデバイスの模擬的な故障診断を、実際の半導体試験装置や被試験デバイスを用いずに高速に検証するテストパターン検証方法と、この検証方法を用いた高速テストパターン妥当性検証装置に関する。

【 0 0 0 2 】

## 【従来の技術】

超LSI等のデバイスを開発する工程は一般にコンピュータ支援による設計手法（CAD）が用いられる。CADによる開発工程においては、VHDLやVerilogのようなハードウェア記述言語（ハードウェア・デスクリプション・ランゲージ）を用いて、意図したデバイスをLSI中に設計すると共に、その設計した回路の動作を、デバイス論理シミュレータと呼ばれるソフトウェアによって構成されたシミュレータによりコンピュータ上で検証している。

## 【0003】

デバイス論理シミュレータは「テストベンチ」と呼ばれるインターフェイスを装備し、意図したデバイスの設計データ（CADデータ）に試験のためのデータ（テストベクタ）を模擬的に与え、そのデバイスの応答を模擬的に生成させ、その模擬的に生成した擬似応答出力と、擬似的に生成した期待値とを比較してその良否を検証している。

## 【0004】

このような開発工程を経て現実にはLSIが生産されると、そのLSIの機能等は、LSIテストと呼ばれる試験装置により実際に試験される。LSIテストは被試験LSIにテストパターン（テストベクタ）を供給し、その結果として得られたデバイスの出力信号を、所定の期待値と比較して、デバイスの良否を判定する。このLSIテストによるデバイスの試験は上述したデバイス論理シミュレータによるCAD上におけるデバイスの設計段階での検証と大きな類似性を有している。

## 【0005】

このためLSIの開発工程におけるデバイス論理シミュレータの駆動により得られたデータを、実際に生産されたLSIの試験用に転用することにより、デバイスを試験するために作成するテストパターン発生用プログラム及び期待値パターン発生用プログラムの作成行程を省略することができる。この結果として試験の効率と総合的な生産効率を高めることができる。

## 【0006】

論理シミュレーションにおいては擬似的な半導体集積回路（以下デバイスモデ

ルと称す)に与える試験パターン、或いはデバイスモデルから出力される筈の擬似的な応答出力データ、更にはこの応答出力データと比較して良否を判定するための期待値パターンは全てイベントベースで表現されている。

## 【0007】

ここでイベントベースとは注目する試験パターンが1論理から0論理に、或いは0論理から1論理に反転するときの変化点(イベント)を時間経過に従って記述した形式のデータである。時間の経過は例えばある基準(試験の開始時点)からの連続した絶対的な時間として、或いは直前のイベントからの経過時間として表される。

## 【0008】

図5はイベントベース形式のデータの記述の例を示す。又図6はこのイベント形式のデータを波形として模式的に表示した例を示す。ここでは基準のタイミングからイベントの発生時刻に従ってデバイスモデルの各ピンP1、P2、P3・・・に与えるテストパターンの論理又はデバイスモデルの出力の論理を記述した例を示す。

## 【0009】

これに対し、実際のLSIテストでは一般にサイクルベース形式によりテストパターンが表現される。サイクルベースとは各テストサイクルに通し番号がアドレスとして与えられ、各アドレス毎にテストサイクルの初期タイミングを初期位相と定義し、この初期位相からの時間をタイミングデータとして与えることによって試験パターン信号の開始点と終了点を記述する。図7はサイクルベースのデータの記述の一例を示す。各テストサイクル毎に各テストサイクルの初期位相を基準として被試験LSIの各ピンP1、P2、P3・・・に与える試験パターン信号の開始のタイミング及び終了のタイミングを規定する。

## 【0010】

図8はLSIテストにおける各テストサイクルでデバイスモデルの各ピンに与える試験パターンの論理値TPと、タイミングデータT1とT2の関係を示す。又、図8は図7に示したサイクルベース形式のデータを波形として模式的に表示した例を示す。図8に示すようにタイミングデータT1とT2により被試験LS

I の各ピン P 1、P 2、P 3・・・に与える試験パターン信号の開始点と終了点を規定する。

#### 【0 0 1 1】

以上によりイベントベース形式のデータと、サイクルベース形式のデータとの差違が理解されるところであるが、上述したように被試験 L S I の開発設計時に生成された C A D データを利用することにより、実際に生産された被試験 L S I を実際に試験するためのテストパターン及び期待値パターンを効率よく生成できる。しかし乍ら、実際には種々の例えば上記したイベントベース及びサイクルベース等のデータ形式の違い等により、L S I テスタ用に生成されたテストパターン及び期待値パターンが、正しく被試験 L S I の不良等を検出できるような所定のテストパターンにならないことがある。このため上記の過程を経て生成されたテストパターンの妥当性を検証する必要がある。

#### 【0 0 1 2】

従来技術において、論理シミュレーションデータから得られた L S I テスタ用のテストパターン及び期待値パターンを検証する場合、実際の L S I テスタを使用する方法と全く使用しない方法とがある。実際の L S I テスタを使用する方法の場合、論理シミュレーションにおけるイベントベース形式のテストパターンを抽出してこれをサイクルベース形式のテストパターンに変換する必要がある。サイクルベース形式に変換されたテストパターンを、実際の L S I テスタを用いて、そのテストパターンの正否を検証する。この方法を採用場合は、高価な L S I テスタをテストパターンの検証のために占有してしまうことに難点がある。

#### 【0 0 1 3】

一方、実際の L S I テスタを使用しない方法を採用場合には、実際の L S I テスタに変えてソフトウェアで構成される L S I テスタシミュレータを用いるが、この場合においても上述のように、イベントベースからサイクルベースに変換されたテストパターンをデバッグする。この場合、テストシミュレータからのテストパターンに対してデバイスの動作をシミュレートする役割として、C A D による設計段階で得られた論理シミュレータ（デバイスモデル）を使用することになる。このように全ての動作をソフトウェア処理する場合には、非常に長い処理時



間が必要になる欠点がある。

【 0 0 1 4 】

実際の L S I テスタを使用しない従来技術の例を図 9 を用いて説明する。図 9 は L S I テスタシミュレータ 1 0 と論理シミュレータ 2 2 で構成した擬似デバイス 2 0 を用いた（従って全ての動作をソフトウェア処理する）テストパターン検証方法の例である。

【 0 0 1 5 】

図 9 において、1 0 0 はテストパターン妥当性検証装置の全体を示す。テストパターン妥当性検証装置 1 0 0 は、L S I テスタシミュレータ 1 0 と、擬似デバイス 2 0 と、データ源 3 0 とによって構成される。これら L S I テスタシミュレータ 1 0 と、擬似デバイス 2 0 と、データ源 3 0 は主にソフトウェアによって構成される。L S I テスタシミュレータ 1 0 はデバイスを試験するためのテストパターン、或いはデバイス自体をハードウェアとしての L S I テスタを用いずにデバッグする動作を実行する。このために L S I テスタシミュレータ 1 0 はデータ源 3 0 からサイクルベース形式に変換されたパターンデータとタイミングデータを取り込む。テストシミュレータ 1 0 は取り込んだパターンデータとタイミングデータからタイミングデータを含むテストパターンと、期待値パターンを生成する。生成したテストパターンをテストの順序に従って擬似デバイス 2 0 に印加する。

【 0 0 1 6 】

擬似デバイス 2 0 はフォーマット変換部 2 1 と、論理シミュレータ 2 2 と、デバイスモデル 2 3 と、フォーマット変換部 2 4 と、ダンプファイル格納部 2 5 とによって構成される。フォーマット変換部 2 1 は L S I テスタシミュレータ 1 0 から入力されるテストパターンをイベントベース形式のデータに変換し、このイベントベース形式のテストパターンを論理シミュレータ 2 2 に入力する。

【 0 0 1 7 】

ダンプファイル格納部 2 5 には予め論理シミュレータ 2 2 を使ってデバイスモデル 2 3 を実行させて生成したデバイス出力データをファイル化したダンプファイルが格納されている。論理シミュレータ 2 2 はフォーマット変換部 2 1 からテ

ストパターンが入力されると、このテストパターンのタイミング条件に対応するデバイスの応答出力データをデバイスモデル 2 3 を用いて生成する。

【0 0 1 8】

論理シミュレータ 2 2 から出力されるデバイス出力データはフォーマット変換部 2 4 でイベントベース形式からサイクルベース形式に変換され、このサイクルベース形式のデバイス出力データを擬似デバイス 2 0 の出力データとして L S I テスタシミュレータ 1 0 に入力する。L S I テスタシミュレータ 1 0 は擬似デバイス 2 0 のデバイス出力データを自己が生成した期待値と比較し、一致、不一致を検証する。不一致が発生した場合は擬似デバイス 2 0 に印加したテストパターンに欠陥があると判定される。

【0 0 1 9】

尚、データ源 3 0 は変換ソフトウェア 3 1 と、パターンファイル格納部 3 2 と、タイミングファイル格納部 3 3 とによって構成される。変換ソフトウェア 3 1 にダンプファイル格納部 2 5 からイベントベース形式のダンプファイルを取り込み、このダンプファイルをサイクルベース形式のパターンデータとタイミングデータに変換し、パターンデータをパターンファイル格納部 3 2 に格納し、又タイミングデータをタイミングファイル格納部 3 3 に格納する。これらのパターンファイル格納部 3 2 とタイミングファイル格納部 3 3 は L S I テスタシミュレータ 1 0 の読み込み用として用意される。

【0 0 2 0】

【発明が解決しようとする課題】

上述したように L S I テスタシミュレータ 1 0 と、論理シミュレータ 2 2 と、デバイスモデル 2 3 を用いて、全ての動作をソフトウェアによって処理する場合は、L S I テスタシミュレータ 1 0 からテストパターンが擬似デバイス 2 0 に入力される毎に、このテストパターンに対応したデバイス出力データをデバイスモデル 2 3 でシミュレーションして生成するから、この生成処理に時間が掛かり、テストパターン妥当性の検証に長時間を要する欠点がある。

【0 0 2 1】

この発明の第 1 の目的は高速処理が可能なテストパターン妥当性検証装置を提

案することにある。

【 0 0 2 2 】

この発明の第 2 の目的は高速処理が可能であるだけでなく、判定タイミング欠落検出手段を設け、この判定タイミング欠落検出手段によってデバイス出力データの論理状態が変化する毎に、デバイス出力データの全ての状態が期待値と比較されたか否かを検証することができるパターン妥当性検証装置を提供することにある。

【 0 0 2 3 】

【課題を解決するための手段】

この発明の請求項 1 では、テストシミュレータで生成したテストパターンと、CAD データから生成したデバイス出力データとを照合し、テストパターンで規定するタイミング条件に合致した被試験デバイスの応答出力を抽出し、この応答出力をテストシミュレータにデバイス出力データとして入力し、テストシミュレータでデバイス出力データと期待値とを比較し、その比較の結果に不一致が発生する毎に、その応答出力に対応するテストパターンが不良であると判定するテストパターン妥当性検証方法において、

デバイス出力データの論理状態が全て期待値と比較動作したか否かを判定し、比較タイミングの欠落を検出してテストパターンの妥当性を検証するテストパターン妥当性検証方法を提案する。

【 0 0 2 4 】

この発明の請求項 2 では、被試験デバイスを試験するために被試験デバイスに印加するテストパターン及び、被試験デバイスの応答出力が正常か否かを判定するための期待値パターンをサイクルベース形式で生成する L S I テスタシミュレータと、

この L S I テスタシミュレータから出力されるテストパターンをイベントベース形式のデータに変換するフォーマット変換部と、

このフォーマット変換部から出力されるイベントベース形式のテストパターンを記憶する第 1 メモリと、

論理シミュレータの実行結果として得られたデバイス出力データをイベントベ

ース形式で格納したダンプファイル格納部と、

このダンプファイル格納部から読み出した、デバイス出力データを記憶する第2メモリと、

第1メモリと第2メモリに記憶したデータを比較照合し、第1メモリに記憶したパターンデータのタイミング条件に同期したデバイス出力データを第2メモリに記憶したデータから抽出し、この抽出したデータをデバイス出力データとしてLSIテストシミュレータに出力する比較同期部と、

この比較同期部から出力されるデバイス出力データの状態をLSIテストシミュレータにおける期待値パターンとの判定タイミングで読み取り、デバイス出力データの状態が変化する毎に判定タイミングが存在したか否かを検出するタイミング欠落検出手段と、

によって構成した高速テストパターン妥当性検証装置を提案する。

#### 【0025】

この発明の請求項3では、請求項2記載の、高速テストパターン妥当性検証装置において、判定タイミング欠落検出手段は期待値との判定タイミングにおいて自己が記憶している論理の状態を一方の論理状態にリセットし、このリセット状態でデバイス出力データの状態が変化した時点で、他方の論理状態に反転させる論理記憶手段と、デバイス出力データが変化し、論理記憶手段の記憶を他方の論理に反転させる状態で論理記憶手段の記憶が既に他方の論理値であることを検出してエラーと判定するエラー検出手段とによって構成した高速テストパターン妥当性検証装置を提案する。

#### 【0026】

この発明の請求項4では、請求項2又は3記載の高速テストパターン妥当性検証装置の何れかにおいて、判定タイミング欠落検出手段が判定タイミングの欠落を検出する毎に、この判定タイミングが欠落したテストサイクルを記憶するレポート作成部を付加した構成とした、高速テストパターン妥当性検証装置を提案する。

#### 【0027】

#### 【作用】

この発明によるテストパターン妥当性検証方法及びこの検証方法を用いた高速テストパターン妥当性検証装置によれば、ダンプファイルに予めデバイスモデルをシミュレートした応答出力データを用意したことにより、各テストパターン毎にデバイスモデルをシミュレートする処理を実行する必要がある。この結果として高速処理が可能となり高速で擬似デバイスのデバイス出力データを生成することができる。

#### 【0028】

更には、LSIテスタシミュレータから擬似デバイスに与えるテストパターンデータと、ダンプファイルから取り出したイベントベース形式のデータとをハードウェアで構成した比較同期部で照合し、テストパターンのタイミング条件に合致したデバイス出力データを抽出する構成としたから更に一層高速処理が可能となる。

#### 【0029】

また、特にこの発明ではLSIテスタシミュレータにおいて、デバイス出力データと期待値とを比較する動作に加えて、判定タイミング欠落検出手段を設け、この判定タイミング欠落検出手段により、デバイス出力データの各出力の状態の全てが期待値と比較判定されたか否かを検証するから、テストパターンの正否と共に判定タイミングの欠落の有無を検証することができる。従って、更に一層信頼性の高い高速テストパターン妥当性検証装置を提供することができる。

#### 【0030】

##### 【発明の実施の形態】

図1にこの発明による高速テストパターン妥当性検証装置の実施例を示す。この実施例を説明することによって請求項1で提案するテストパターン妥当性検証方法をも説明することにする。図9と対応する部分には同一符号を付して示す。この発明では予め論理シミュレータ22とデバイスモデル23を駆動してイベントベース形式のデバイス出力データ（テストパターンのタイミング条件に合致したデバイスの応答出力データ）を生成し、このデバイス出力データをダンプファイル格納部25に予め格納しておく構成とした点と、このダンプファイル格納部25に格納したデバイス出力データとLSIテスタシミュレータ10から与えら

れるテストパターンを所定量ずつ第 1 メモリ 2 6 と第 2 メモリ 2 7 に取り込み、これら第 1 メモリ 2 6 と第 2 メモリ 2 7 に取り込んだテストパターンとデバイス出力データを比較同期部 2 8 に入力する。比較同期部 2 8 ではテストパターンに規定されたタイミングに合致したデバイス出力データを抽出し、このデバイス出力データをフォーマット変換部 2 1 でイベントベース形式からサイクルベース形式に変換し、サイクルベース形式に変換したデバイス出力データを L S I テスタシミュレータ 1 0 に入力する。

#### 【 0 0 3 1 】

L S I テスタシミュレータ 1 0 ではパターンファイル格納部 3 2 とタイミングファイル格納部 3 3 から入力されたパターンデータとタイミングデータとによって期待値パターンが生成されており、この期待値パターンと擬似デバイス 2 0 から入力されるデバイス出力データとを比較し、全てが一致していればそのテストパターンは正常と判定する。不一致が発生した場合は、その不一致が発生したテストサイクルに付されたアドレスを記憶し、不良パターンの検証に供する。

#### 【 0 0 3 2 】

ここで、この発明では特に L S I テスタシミュレータ 1 0 に判定タイミング欠落検出手段 4 0 を設け、この判定タイミング欠落検出手段 4 0 においてデバイス出力データの全ての状態が期待値パターンと比較されたか否かを比較判定する。

#### 【 0 0 3 3 】

図 2 に判定タイミング欠落検出手段 4 0 の実施例を示す。この実施例では論理記憶手段 4 1 とエラー検出手段 4 2 とによって判定タイミング欠落検出手段 4 0 を構成した場合を示す。尚、図 2 では判定タイミング欠落検出手段 4 0 をハードウェアで構成したように表示しているが、一般的にはソフトウェアによって構成される。論理記憶手段 4 1 は、2 入力型の回路で構成され、一方の入力端子 S にデバイス出力データを入力し、他方の入力端子 R にはストロブパルスを印加する。ストロブパルスとは、L S I テスタシミュレータ 1 0 内でデバイス出力データと期待値パターンとの比較のタイミングを規定することに用いられるパルスである。

#### 【 0 0 3 4 】

図 3 A はデバイス出力データを波形として表示した例を、又図 3 B はストローブパルスを示す。テストパターンの検証は各ストローブパルスの印加タイミングにおいて図 3 A に示したデバイス出力データの論理値を読み取り、この論理値と図 3 C に示したテストパターンの論理値を比較して、一致していれば良、不一致の場合はこのテストサイクルのテストパターンに不具合があると判定し、そのテストサイクルのアドレスを記憶し不具合の検証を行う。

## 【 0 0 3 5 】

これと共に、この発明では判定タイミング欠落検出手段 4 0 において、デバイス出力データの全ての状態が期待値パターンと比較されたか否かを判定する。

## 【 0 0 3 6 】

このために、判定タイミング欠落検出手段 4 0 を構成する論理記憶手段 4 1 の一方の入力端子 S にデバイス出力データを入力し、他方の入力端子 R にストローブパルスを印加する。論理記憶手段 4 1 は入力端子 S に入力されるデバイス出力データの状態が 0 論理から 1 論理に、又 1 論理から 0 論理に反転する毎に出力端子 Q に出力される論理を一方の論理に反転させる。この実施例ではデバイス出力データの論理が反転すると論理記憶手段 4 1 の出力端子 Q の論理を必ず 1 論理に反転させる場合を示す。

## 【 0 0 3 7 】

これに対し、ストローブパルスが入力端子 R に入力されると、論理記憶器 4 1 の出力端子 Q の論理は 0 論理にリセットされる。従って、デバイス出力データの状態が反転した後に、ストローブパルスが印加されていれば論理記憶手段 4 1 の出力端子 Q の状態は必ず 0 論理にリセットされているはずである。

## 【 0 0 3 8 】

然し乍ら、図 3 A に示すテストサイクル NO. 3 ~ NO. 4 の間に示すようにデバイス出力データの状態が図示するように 1 論理から 0 論理に反転したにも係わらず、その間の X の区間でストローブパルスが印加されなかったとすると、この区間 X の状態は期待値と比較されていないことになる。

## 【 0 0 3 9 】

エラー検出手段はこのエラーの状態を検出するために設けられるもので、その

一方の入力端子Dに、論理記憶手段41の出力端子Qに出力される論理値を印加し、他方の入力端子CKにデバイス出力データを印加する。

#### 【0040】

デバイス出力データが反転する毎にエラー検出手段42は入力端子Dに入力される論理値を読み取る。デバイス出力データが判定した後にストロブパルスが印加されて期待値とでデバイス出力データとが比較判定されていれば論理記憶手段41の出力端子Qは0論理にリセットされているはずであるが、区間Xに示すように判定タイミングが欠落した場合はエラー検出手段42は1論理を読み込むことになる。

#### 【0041】

従って、エラー検出手段42が1論理を読み込むと、判定タイミングが欠落したと判定し、レポート作成部50に判定タイミングが欠落したテストサイクルのアドレスを記憶させ、後に、判定タイミングの欠落の検証を行う。

#### 【0042】

尚、レポート作成部50の後段には表示器60（図1）が接続され、エラーの発生を表示する。又図1に示す実施例では擬似デバイス20の内部にデバイス機能付加回路29を設けた場合を示す。このデバイス機能付加回路29はデバイスの故障解析に使用する入力信号と出力信号の関係を定義するために設けられる。このデバイス機能付加回路29はプログラマブルであり、解析したい内容に合わせてデバイスに対する入力と出力信号の関係を定義する。例えば設計したロジック回路にアナログ機能を追加した場合の故障を解析をしたいような場合、そのようなアナログ機能を付加回路29に追加することによりロジック回路の動作を検証することができる。

#### 【0043】

図4はこの発明の高速テストパターン検証装置の比較同期部28の変形例を示すブロック図である。この例では、複数の第1メモリ36A、26Bと、複数の第2メモリ27A、27Bと、複数の比較同期部28A、28Bと、デバイス機能付加回路29とにより構成した場合を示す。複数の第1メモリ26A、26Bは変換部21でイベントベース形式に変換したテストパターンを格納するもので



あり、例えば2個の小容量のメモリで構成している。この2個のメモリ26A、26Bの一方から比較同期部28A又は28Bに読み出しをしている間に他方に次の所定容量のテストパターンを入力するようにして、インターリーブ動作させる。複数の第2メモリ27A、27Bも同様に例えば2個の小容量のメモリをインターリーブ動作させる。このようにインターリーブ動作により、小容量のメモリを用いて高速動作を廉価に行わせることができる。

#### 【0044】

比較同期部28Aは図1の比較同期部28と同様に、第1メモリ26A、26Bから読み出したテストパターンデータと第2メモリ27A、27Bから読み出した被試験デバイス出力データの時間関係を比較して同期をとる。比較同期部37Aは、同期がとれた状態でのデバイス出力データをテストパターンのデバイスの応答出力としてLSIテストシミュレータ10に供給する。デバイス出力データはLSIテストシミュレータ10により、期待値データと比較されてテストパターンの良否が検証される。

#### 【0045】

同様に比較同期部37Bは、第1のメモリ26A、26Bから読み出したテストパターンデータと、第2のメモリ27A、27Bから読み出した被試験デバイスの入力データの時間関係を比較して同期をとる。比較同期部28Bは、同期がとれた状態でのデバイス入力データを出力としてLSIテストシミュレータ10に供給する。デバイス入出力データはLSIテストシミュレータ10により、テストパターンと比較されてテストパターンの評価が行われる。

#### 【0046】

比較同期部28Aと28Bの間にデバイスこの機能付加回路29を設け、デバイスの入力データと出力データとの間に機能動作をプログラマブルに付加できるようにしている。これにより、例えばLSIデバイスのある種の故障をシミュレートすることができる。又ダンプファイル格納部25からのテストパターンとLSIテスト用のテストパターンとの間に所定の関係を定義することにより、テストパターンの相違により生じるデバイスのテスト結果をシミュレートすることができる。また一般に論理シミュレータではアナログ機能をシミュレートできない

が、このデバイス機能付加回路 2 9 を付加することにより、テストパターンと同期して実行されるデバイスのアナログ機能を定義することができ、これによりアナログ機能を有する仮想デバイスの評価を行うこともできる。

【 0 0 4 7 】

【発明の効果】

以上説明したように、この発明によればテストパターンの正否はもとより、判定タイミングの欠落の有無をも検証できる。この結果、信頼性の高いテストパターンの妥当性の検証を行うことができる利点を得られる。

【 0 0 4 8 】

更に、予めダンプファイル格納部 2 5 にデバイス出力データを用意しておく構成としたから擬似デバイス 2 0 から出力するデバイス出力データを高速に出力させることができ、この結果として高価な L S I テスタを実際に使用することなく高速にテストパターンの正否を検証することができる利点を得られる。

【図面の簡単な説明】

【図 1】

この発明による高速テストパターン妥当性検証装置の実施例を説明するためのブロック図。

【図 2】

この発明による高速テストパターン妥当性検証装置に用いる判定タイミング欠落検出手段の一例を説明するためのブロック図。

【図 3】

図 2 に示した判定タイミング欠落検出手段の動作を説明するためのタイミングチャート。

【図 4】

図 1 に示したこの発明による高速テストパターン妥当性検証装置に用いられる比較同期部の変形実施例を説明するためのブロック図。

【図 5】

C A D データから生成されるイベントベース形式のデータの特徴を説明するための図。

【図 6】

図 5 に示したイベントベース形式のデータを波形として表示した例を説明するためのタイミングチャート。

【図 7】

L S I テスタで用いられるサイクルベース形式のデータの特徴を説明するための図。

【図 8】

図 7 に示したサイクルベース形式のデータを波形として表示した一例を説明するためのタイミングチャート。

【図 9】

従来のテストパターン妥当性検証装置を説明するためのブロック図。

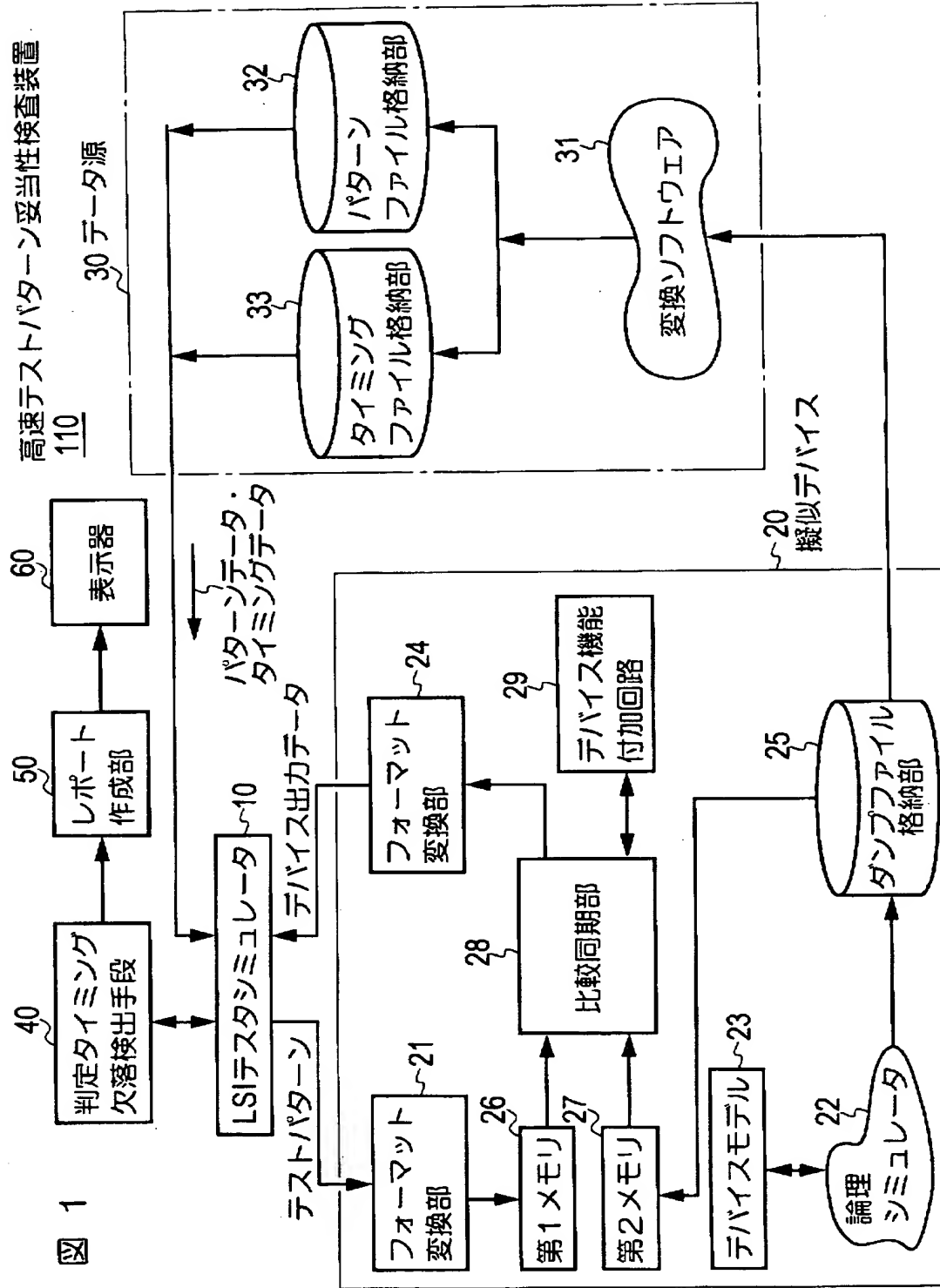
【符号の説明】

1 1 0	高速テストパターン妥当性検証装置
1 0	L S I テスタシミュレータ
2 0	擬似デバイス
2 1、2 4	フォーマット変換部
2 2	論理シミュレータ
2 3	デバイスモデル
2 5	ダンプファイル格納部
2 6	第 1 メモリ
2 7	第 2 メモリ
2 8	比較同期部
3 0	データ源
4 0	判定タイミング欠落検出手段
5 0	レポート作成部
6 0	表示器

【書類名】

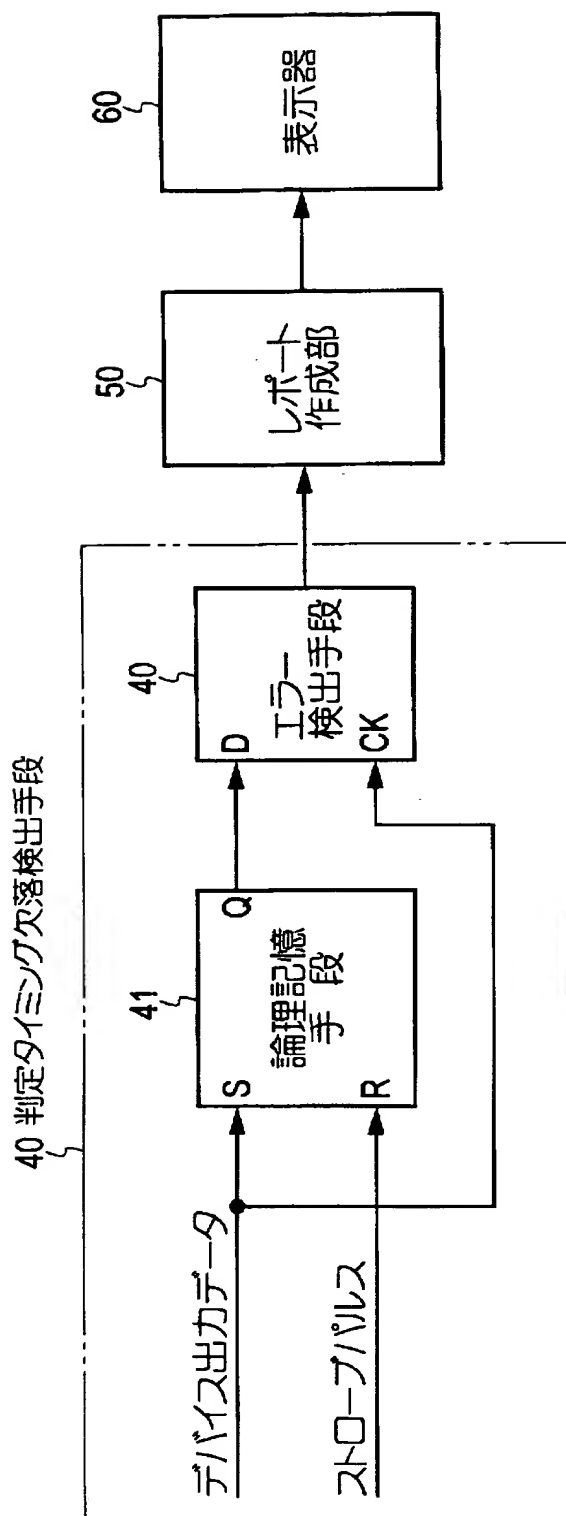
図面

【図 1】

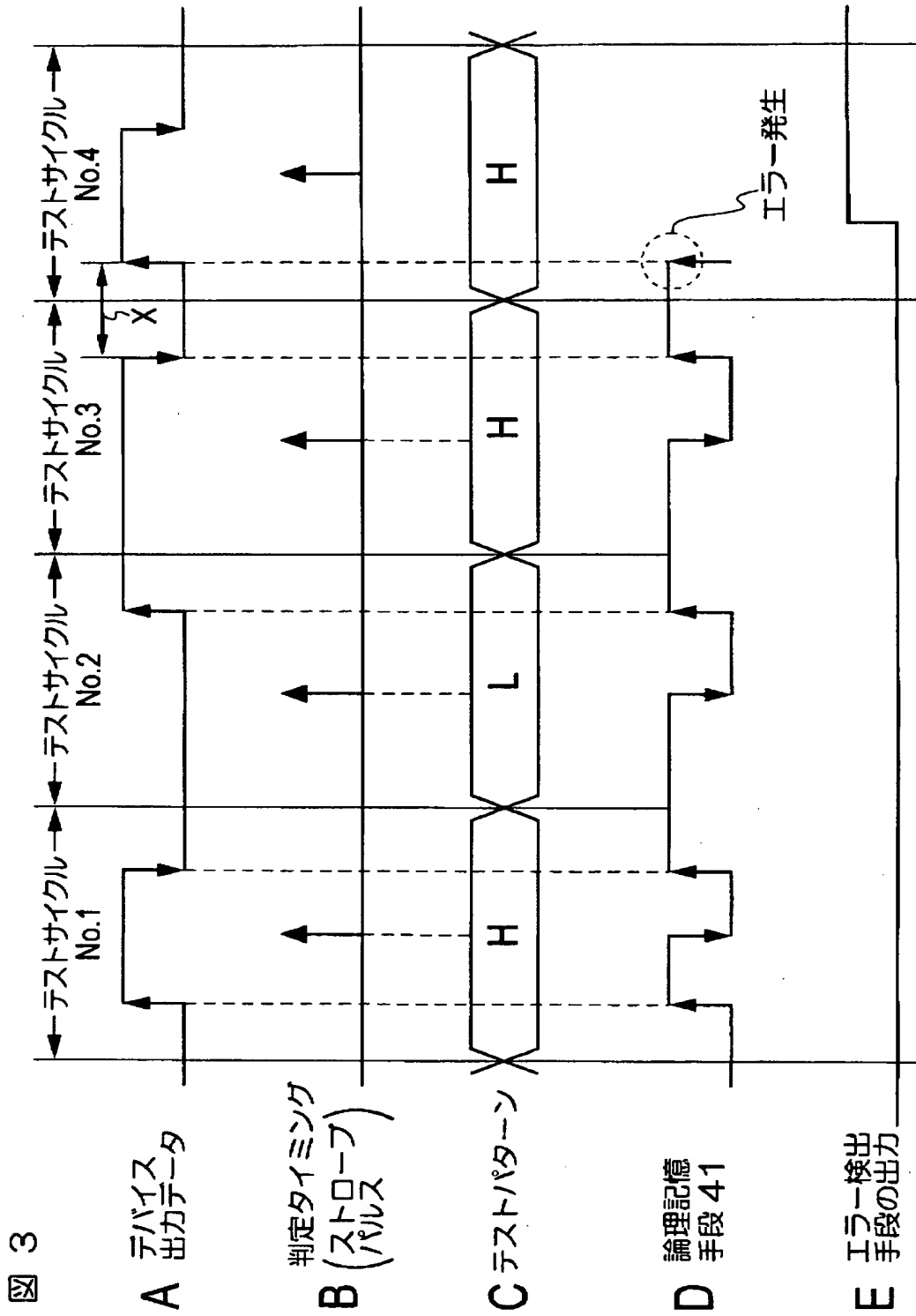


【図 2】

図 2

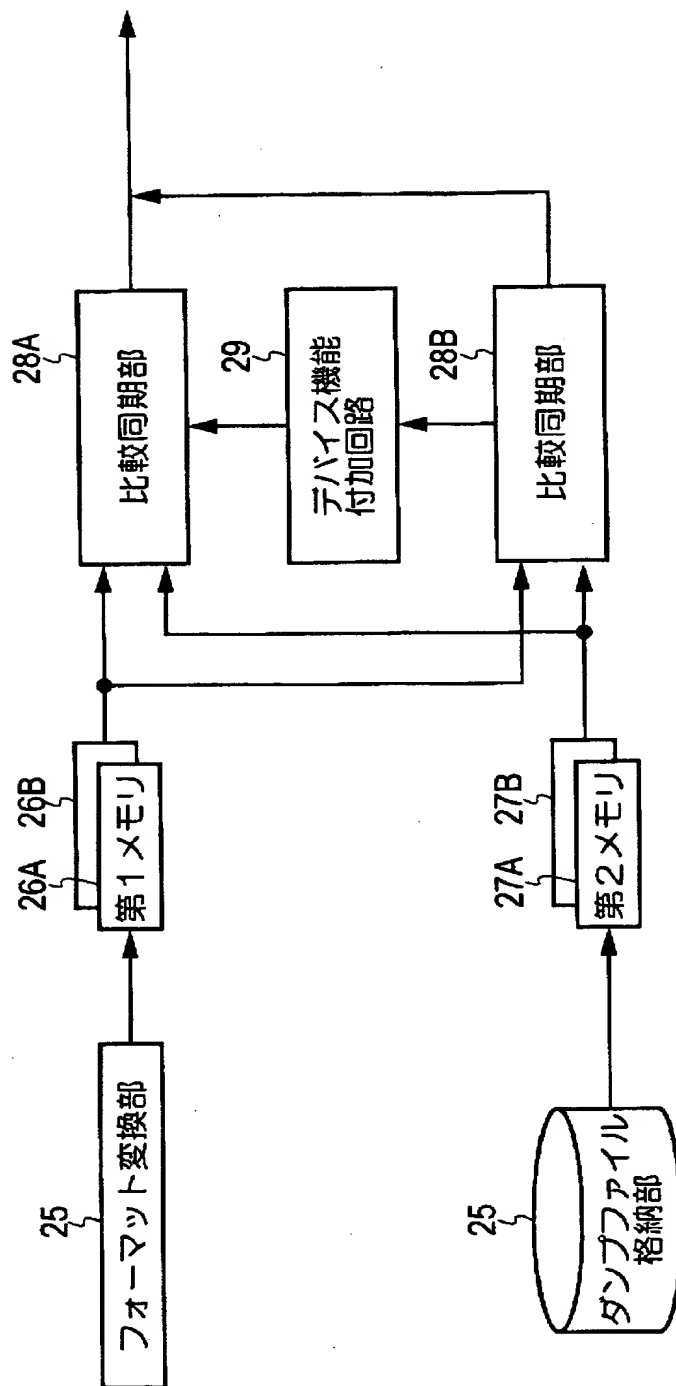


【図 3】



【図 4】

図 4



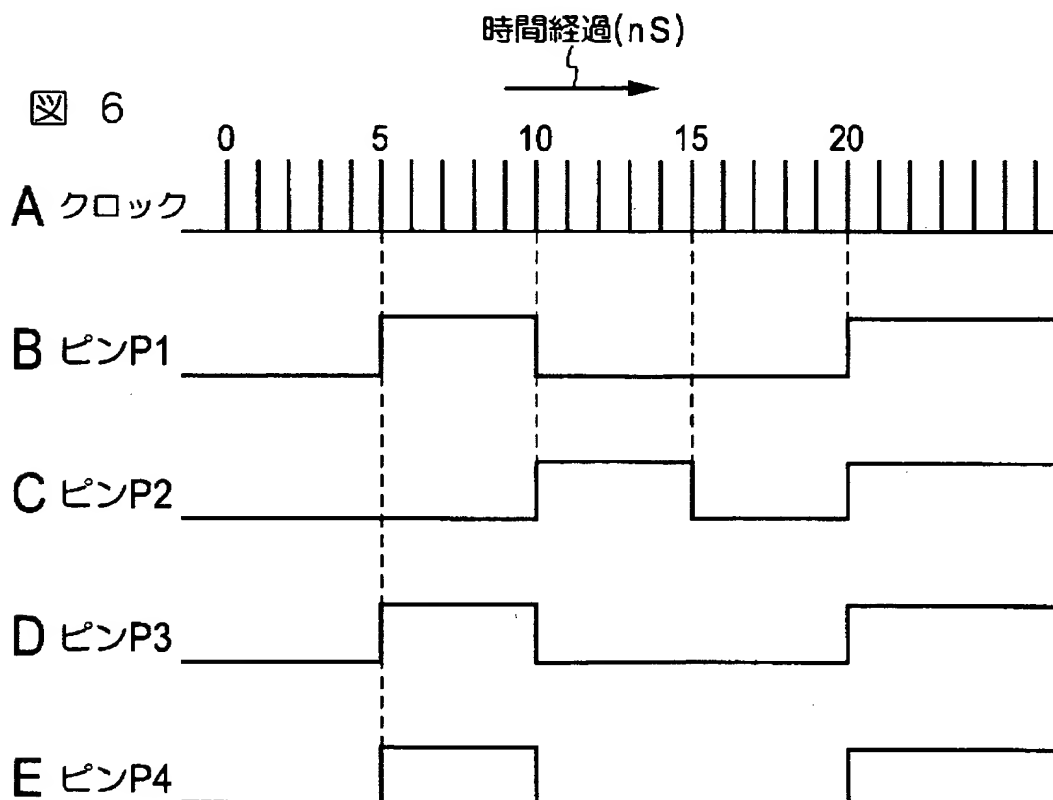
【図 5】

図 5

イベントベース形式

5ns	ピンP1:1 , ピンP2:0 , ピンP3:0 , ピンP4:1
10ns	ピンP1:0 , ピンP2:1 , ピンP3:1 , ピンP4:0
15ns	ピンP1:0 , ピンP2:0 , ピンP3:0 , ピンP4:0
20ns	ピンP1:1 , ピンP2:1 , ピンP3:1 , ピンP4:1

【図 6】





【図 7】

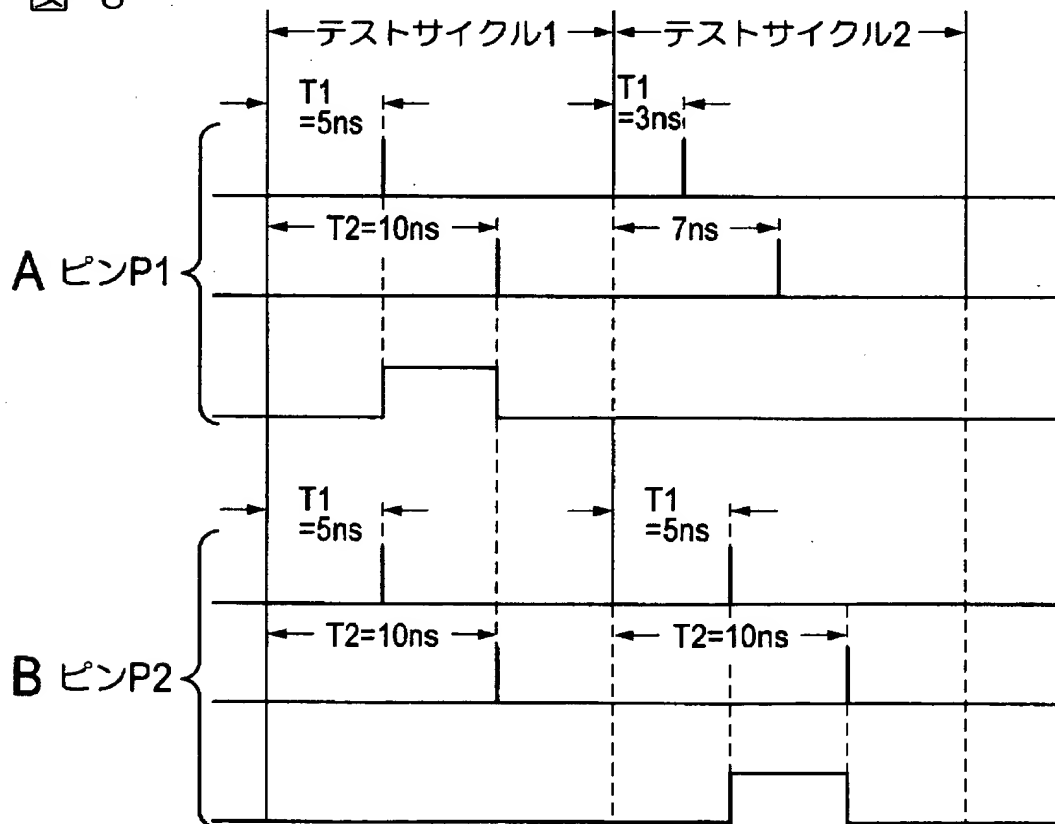
図 7

サイクルベース形式

テストサイクル	ピンNo. P1	ピンNo. P2	ピンNo. P3	P4
1	TP:H T1:5ns T2:10ns	TP:L T1:5ns T2:10ns	TP:H T1:5ns T2:10ns	
2	TP:L T1:3ns T2:7ns	TP:H T1:5ns T2:10ns	TP:H T1:5ns T2:10ns	
	⋮	⋮	⋮	

【図 8】

図 8

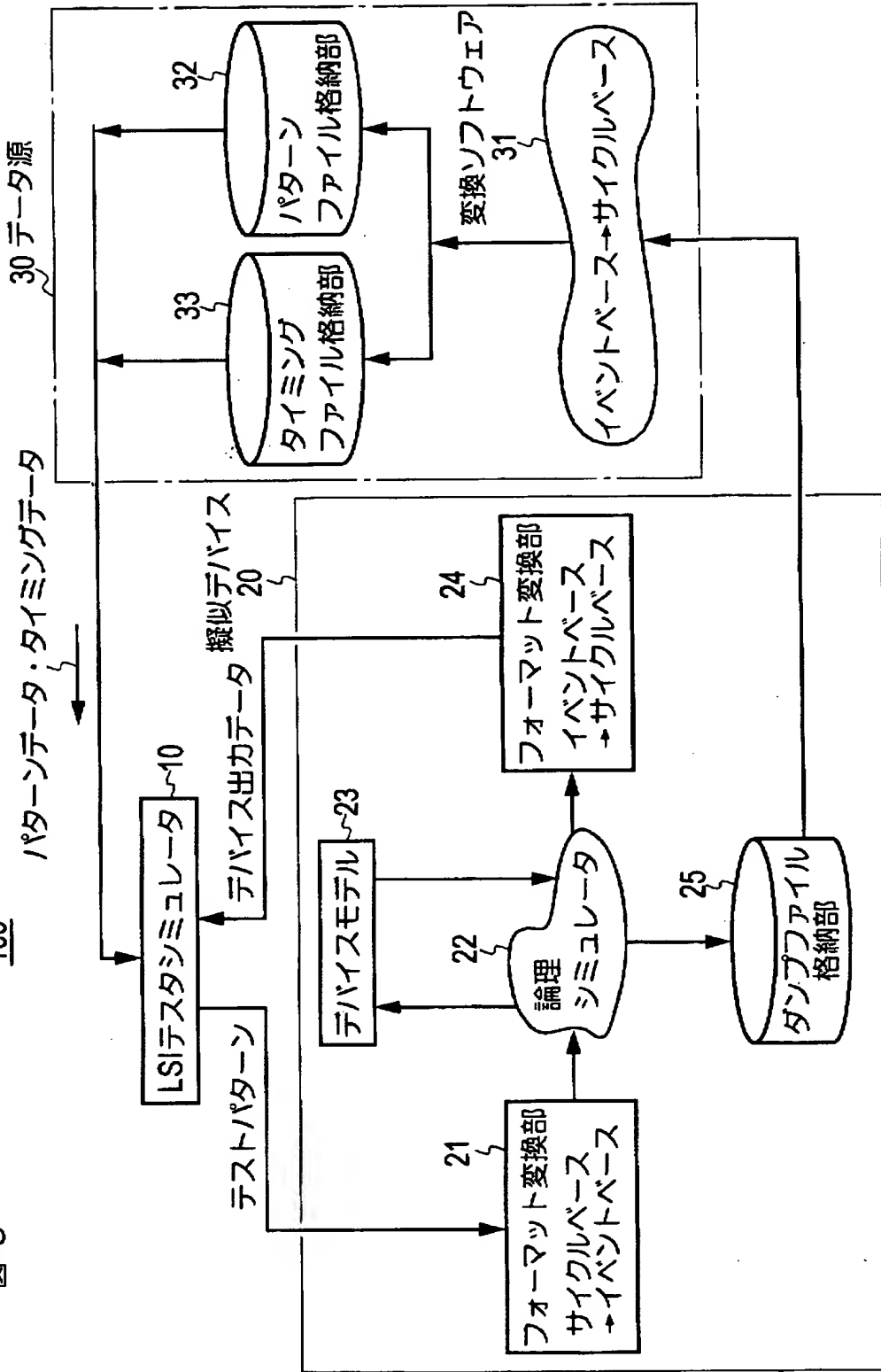


【図 9】

高速テストパターン妥当性検証装置

100

図 9



【書類名】                      要約書

【要約】

【課題】    C A D データから生成したテストパターンが適正であるか否かを L S I テスタを用いずに検証する。

【解決手段】    L S I テスタシミュレータから出力したテストパターンを第 1 メモリ 2 6 に格納し、C A D データで構成されたデバイス出力データを第 2 メモリ 2 7 に格納する。第 1 メモリ及び第 2 メモリに格納したテストパターンとデバイス出力データとを比較同期部 2 8 で照合し、テストパターンに同期をとりながらテストパターンのタイミング条件に対応するデバイス出力データを抽出し、L S I テスタシミュレータ 1 0 に入力する。L S I テスタシミュレータではデバイス出力データと期待値とを比較し、全てが一致している場合はこのテストパターンは適正と判定する。更にこの発明ではデバイス出力データと判定タイミングを規定するストロークパルスとを判定タイミング欠落検出手段に入力し、デバイス出力データの全ての状態が期待値と比較されたか否かを検証する。

【選択図】                      図 1

出 願 人 履 歴 情 報

識別番号 [390005175]

1. 変更年月日 1990年10月15日  
[変更理由] 新規登録  
住 所 東京都練馬区旭町1丁目32番1号  
氏 名 株式会社アドバンテスト